

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
28. April 2005 (28.04.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/039050 A2**

(51) Internationale Patentklassifikation<sup>7</sup>: **H03K 3/037, 3/356**

(21) Internationales Aktenzeichen: **PCT/EP2004/009853**

(22) Internationales Anmeldedatum:  
3. September 2004 (03.09.2004)

(25) Einreichungssprache: **Deutsch**

(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:  
103 43 565.4 19. September 2003 (19.09.2003) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE)**.

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): **BERTHOLD, Jörg [DE/DE]; Einsteinstr. 46, 81675 München (DE). GEORGAKOS, Georg [DE/DE]; Am Geissberg 1, 85447 Fraunberg (DE). HENZLER, Stephan [DE/DE]; Weissenburger Platz 6c, 81677 München (DE). SCHMITT-LANDSIEDEL, Doris [DE/DE]; Ludwig-Thoma-Strasse 4, 85521 Ottobrunn (DE).**

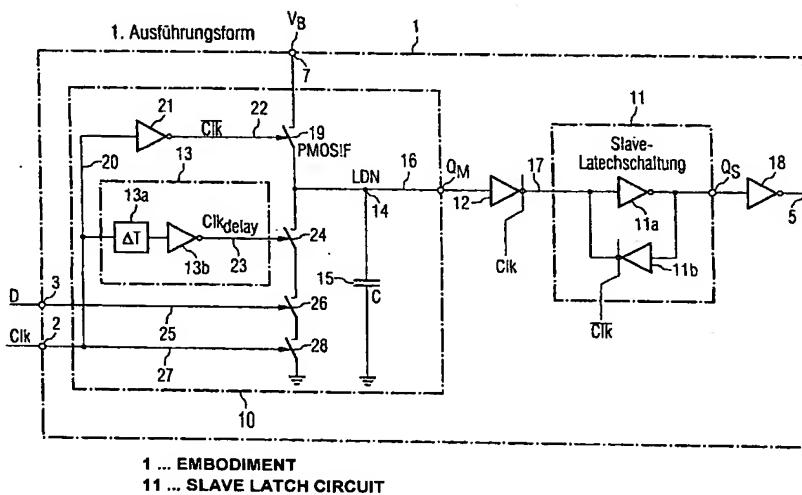
(74) Anwälte: **CHARLES, Glyndwr usw.; Patentanwälte Reinhard, Skuhra, Weise & Partner GbR, Friedrichstrasse 31, 80801 München (DE).**

(81) Bestimmungsstaaten (*soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart*): **AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,**

*[Fortsetzung auf der nächsten Seite]*

(54) Title: **MASTER LATCH CIRCUIT WITH SIGNAL LEVEL DISPLACEMENT FOR A DYNAMIC FLIP-FLOP**

(54) Bezeichnung: **MASTER-LATCHSCHALTUNG MIT SIGNALPEGELVERSCHIEBUNG FÜR EIN DYNAMISCHES FLIP-FLOP**



1 ... EMBODIMENT

11 ... SLAVE LATCH CIRCUIT

(57) Abstract: A master latch circuit (10) with signal level displacement for a flip-flop (1) clocked by a clock pulse signal (Clk), wherein the master latch circuit (10) comprises a signal delay circuit (13) which delays and inverts the clock pulse signal (Clk), resulting in a specific time delay (AT), and a circuit node (14) which, in a charging phase wherein the clock pulse signal (Clk) is logically low, is charged to an operational voltage (VB) and which, in an evaluation phase when the clock pulse signal (Clk) and delayed, inverted clock pulse signal (Clk<SB>DELAY</SB>) are logically high, is discharged according to a specific data signal (D), wherein the data signal controls only transistors of a single type (either only N-channel or only P-channel). The master latch circuit (10) has only one supply voltage .

(57) Zusammenfassung: Master-Latchschaltung (10) mit Signalpegelverschiebung für ein Flip-Flop (1), das durch ein Taktsignal (Clk) getaktet wird, wobei die MasterLatchschaltung (10) aufweist: eine Signalverzögerungsschaltung (13), die das anliegende Takt-Signal (Clk) mit einer bestimmten Zeitverzögerung (AT) verzögert und

*[Fortsetzung auf der nächsten Seite]*

**WO 2005/039050 A2**

**BEST AVAILABLE COPY**



CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart):** ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

invertiert; und einen Schaltungsknoten (14), der in einer Aufladephase, in der das anliegende Taktsignal (Clk) logisch niedrig ist, auf eine Betriebsspannung (VB) aufgeladen wird, und der in einer Auswertephase, wenn das anliegende Taktsignal (Clk) und das verzögerte invertierte Täktsignal (Clk<sub>DELAY</sub>) logisch hoch sind, abhängig von einem anliegenden Datensignal (D) entladbar ist wobei das Datensignal nur Transistoren eines einzigen Typs (entweder nur N- oder nur P-Kanal) ansteuert. Die Master-Latchschaltung (10) weist nur eine einzige Versorgungsspannung auf.

**BEST AVAILABLE COPY**

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
28. April 2005 (28.04.2005)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2005/039050 A3**

(51) Internationale Patentklassifikation<sup>7</sup>: **H03K 3/037, 3/356**

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **BERTHOLD, Jörg** [DE/DE]; Einsteinstr. 46, 81675 München (DE). **GEORGAKOS, Georg** [DE/DE]; Am Geissberg 1, 85447 Fraunberg (DE). **HENZLER, Stephan** [DE/DE]; Weissenburger Platz 6c, 81677 München (DE). **SCHMITT-LANDSIEDEL, Doris** [DE/DE]; Ludwig-Thoma-Strasse 4, 85521 Ottobrunn (DE).

(21) Internationales Aktenzeichen: **PCT/EP2004/009853**

(74) Anwälte: **CHARLES, Glyndwr usw.**; Patentanwälte Reinhard, Skuhra, Weise & Partner GbR, Friedrichstrasse 31, 80801 München (DE).

(22) Internationales Anmeldedatum:  
3. September 2004 (03.09.2004)

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): **AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI**

(25) Einreichungssprache: **Deutsch**

[Fortsetzung auf der nächsten Seite]

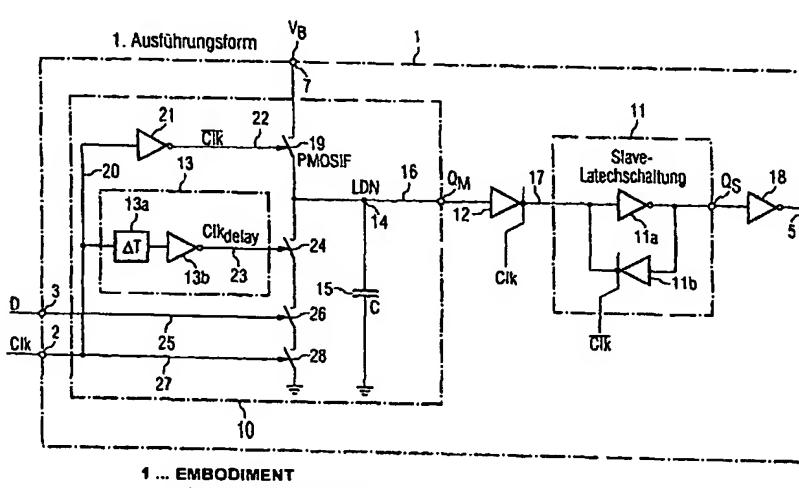
(26) Veröffentlichungssprache: **Deutsch**

(30) Angaben zur Priorität:  
103 43 565.4 19. September 2003 (19.09.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE).

(54) Title: MASTER LATCH CIRCUIT WITH SIGNAL LEVEL DISPLACEMENT FOR A DYNAMIC FLIP-FLOP

(54) Bezeichnung: MASTER-LATCHSCHALTUNG MIT SIGNALPEGELVERSCHIEBUNG FÜR EIN DYNAMISCHES FLIP-FLOP



(57) Abstract: A master latch circuit (10) with signal level displacement for a flip-flop (1) clocked by a clock pulse signal (Clk), wherein the master latch circuit (10) comprises a signal delay circuit (13) which delays and inverts the clock pulse signal (Clk), resulting in a specific time delay (AT), and a circuit node (14) which, in a charging phase wherein the clock pulse signal (Clk) is logically low, is charged to an operational voltage (VB) and which, in an evaluation phase when the clock pulse signal (Clk) and delayed, inverted clock pulse signal (Clk<SB>DELAY</SB>) are logically high, is discharged according to a specific data signal (D), wherein the data signal (D) controls only transistors of a single type (either only N-channel or only P-channel). The master latch circuit (10) has only one supply voltage.

controls only transistors of a single type (either only N-channel or only P-channel). The master latch circuit (10) has only one supply voltage.

WO 2005/039050 A3

(57) Zusammenfassung: Master-Latchschaltung (10) mit Signalpegelverschiebung für ein Flip-Flop (1), das durch ein Taktsignal (Clk) getaktet wird, wobei die MasterLatchschaltung (10) aufweist: eine Signalverzögerungsschaltung (13), die das anliegende Taktsignal (Clk) mit einer bestimmten Zeitverzögerung (AT) verzögert und invertiert; und einen Schaltungsknoten (14), der in einer Aufladephase, in der das anliegende Taktsignal (Clk) logisch niedrig ist, auf eine Betriebsspannung (VB) aufgeladen wird, und der in einer Auswertephase, wenn das anliegende Taktsignal (Clk) und das verzögerte invertierte Taktsignal (Clk<sub>DELAY</sub>) logisch hoch sind, abhängig von einem anliegenden Datensignal (D) entladbar ist wobei das Datensignal nur Transistoren eines einzigen Typs (entweder nur N- oder nur P-Kanal) ansteuert. Die Master-Latchschaltung (10) weist nur eine einzige Versorgungsspannung auf.

BEST AVAILABLE COPY



GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart):** ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(88) **Veröffentlichungsdatum des internationalen Recherchenberichts:**

9. Juni 2005

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*